

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭 63-122295

(43) 公開日 昭和63年(1988)5月24日

(51) Int. Cl. <sup>2</sup>

識別記号

件内整理番号

P I

技術表示箇所

H05K 3/48

審査請求

\*

(全4頁)

(21) 出願番号

特願昭61-269238

(71) 出願人 999999993

株式会社村田製作所

(22) 出願日

昭和61年(1986)11月12日

(72) 発明者 \*

\*

\*

\*

(54) 【発明の名称】 電子部品内蔵多層セラミックス基板

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

## 【特許請求の範囲】

(1) 図部または貫通孔を有するセラミック基板を含む複数枚のセラミック基板が積層されて成る多層セラミック基板と、

多層セラミック基板内であって前記図部または貫通孔で形成される空間内に収納されていて外部取出し電極として銅を用いたチップ形電子部品と、多層セラミック基板の層間または前記貫通孔内に設けられていて前記チップ形電子部品を配線している銅を用いた導体とを備えることを特徴とする電子部品内蔵多層セラミック基板。

10

(2) 前記チップ形電子部品が、内部電極としてパラジウム、外部取出し電極として銅を用いた積層コンデンサを含む特許請求の範囲第1項記載の電子部品内蔵多層セラミック基板。

(3) 前記チップ形電子部品が、内部電極としてニッケル、外部取出し電極として銅を用いた積層コンデンサを含む特許請求の範囲第1項記載の電子部品内蔵多層セラミック基板。

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

昭63-122295

⑧ Int. Cl.

識別記号

庁内整理番号

⑨ 公開 昭和63年(1988)5月26日

H 05 K 3/46

Q-7342-5F  
H-7342-5F

審査請求 未請求 発明の数 1 (全4頁)

⑩ 発明の名称 電子部品内蔵多層セラミック基板

⑪ 特 願 昭61-269228

⑫ 出 願 昭61(1986)11月12日

⑬ 発 明 者 関 木 洋 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内  
 ⑭ 発 明 者 森 嘉 朗 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内  
 ⑮ 発 明 者 坂 部 行 雄 京都府長岡京市天神2丁目26番10号 株式会社村田製作所内  
 ⑯ 出 願 人 株式会社村田製作所 京都府長岡京市天神2丁目26番10号  
 ⑰ 代 理 人 弁護士 山本 恵二

## 明 細 書

## 1. 発明の名称

電子部品内蔵多層セラミック基板

## 2. 特許請求の範囲

(1) 凹部または貫通孔を有するセラミック基板を含む複数のセラミックの基板が積層されて成る多層セラミック基板と、

多層セラミック基板内であって前記凹部または貫通孔で形成される空間内に収容されていて外部突出し電極として用いたチップ形電子部品と、

多層セラミック基板の層間または前記貫通孔内に設けられていて前記チップ形電子部品を接続している線を用いた導線とを備えることを特徴とする電子部品内蔵多層セラミック基板。

(2) 前記チップ形電子部品が、内部電極としてパッド状、外部突出し電極として線を用いた積層コンデンサを含む特許請求の範囲第1項記載の電子部品内蔵多層セラミック基板。

(3) 前記チップ形電子部品が、内部電極としてパッド状、外部突出し電極として線を用いた積

層コンデンサを含む特許請求の範囲第1項記載の電子部品内蔵多層セラミック基板。

## 3. 発明の詳述な説明

(産業上の利用分野)

この発明は、多層セラミック基板内に、例えばコンデンサ、抵抗器、コイル等のチップ形電子部品を内蔵した電子部品内蔵多層セラミック基板に関する。

(従来の技術とその問題点)

電子部品をより高密度化、多機能化する等のために、電子部品を内蔵した多層基板が提案されている。

そのような多層基板の1つに、グリーンシート各層に誘電体ペースト、導電ペースト、導電ペースト等を順次塗布して印刷後、各層を圧着して焼成することにより、C、R回路等を構成したものがある。しかしこのような多層基板においては、①凹部、積層層間でペーストの剥離が起こるため、抵抗値や容量値等のC、Rの特性がバラバラにすることや不調音であること、②使用可能な積

## 特開昭63-122295(2)

電体ペーストの誘電率が小さくて大容量コンデンサの形成が困難であること、巻線巻体ペーストの比抵抗を低く導電することが困難であること、巻印刷導線を張り返すに従って印刷部の平坦性が非常に悪くなって製造数を増やすことが困難であること、等の種々の問題がある。

一方、従来の多層基板の他の例として、いわゆる抵抗・容量付多層基板がある（例えば「エレクトロニクス・セラミクス」'35 5月号 頁68〜71を参照）。これは、セラミックペーストの表面にコンデンサ、抵抗素等を厚膜技術で多層に印刷形成したものである。しかしこのような多層基板においても、①印刷パターンの位置ずれによる特性のばらつき、②コンデンサ容量の制約、③平坦性の悪化、等の上述した多層基板を以て同様の問題がある。

従ってこの発明は、上述のような問題を排除することのできる電子部品内装多層セラミック基板を提供することを目的とする。

（発明の要旨）

同じ金属であるために熱膨張を起しても接合部分での金属の剥離による接合不良を起さないからである。

さらに、パラジウムあるいはニッケルをチップ形電子部品の内部電極として用いると、パラジウムあるいはニッケルと銅とは全範囲密着の合金となるため、外部取出し電極の銅との接合部分で接合温度の低下が起らず、熱処理を施しても接合不良を起さない。

（発明の要旨）

第1図はこの発明の一実施例に係る電子部品内装多層セラミック基板を示す縦断面図であり、第2図はその平面図である。貫通孔7をそれぞれ有するセラミック基板21〜25と貫通孔を有さないセラミック基板3とが積層されて多層セラミック基板8が形成されており、当該多層セラミック基板8内であって各セラミック基板の貫通孔7の部を合わせて形成される空間内に、チップ形の受動電子部品の電子部品、例えば抵抗素タイプのコンデンサ3、4及び抵抗素5が収納されてい

る。この発明の電子部品内装多層セラミック基板は、図面または貫通孔を有するセラミック基板を含む積層体のセラミック基板が積層されて成る多層セラミック基板と、多層セラミック基板内であって前記図面または貫通孔で形成される空間内に収納されていて外部取出し電極として用いたチップ形電子部品と、多層セラミック基板の層間または前記貫通孔内に配けられていて前記チップ形電子部品を配接している銅を用いた導体とを備えることを特徴とする。

チップ形電子部品の外部取出し電極に銅、及び密着用の導体に銅を用いる理由は以下の通りである。即ち、従来から用いられている銅をチップ形電子部品の外部取出し電極とし、導体に銅を用いた場合、例えば導体の焼付などの熱処理中に、銅と銅との接合部分で非晶反応を起し、接合温度が著しく低下するために接合部分の第一合金が溶れ出し、チップ形電子部品と導体間の接合不良をもたらす。これに対し、銅をチップ形電子部品の外部取出し電極とし、導体に銅を用いた場合には、

る。そして当該コンデンサ3、4及び抵抗素5は、多層セラミック基板2の層間や貫通孔7内に配けられた導体8で電気配線されて第2図に示すような回路を構成している。この場合、各電子部品を収納する空間を、貫通孔7の代わりに各セラミック基板21〜25に適宜配けられた図面26で形成するようにしても良い。

上述のような電子部品内装多層セラミック基板の構成の一例を第3図を参照して説明する。導体層間及び導体層端可能なセラミックのグリーンシート21は〜25Gの内のグリーンシート21G〜25Gのそれぞれに、図示のように収納するコンデンサ3、4、抵抗素5の形状・寸法およびそれらの配線パターンに適じた位置に大小の貫通孔7を予め焼付かされており、そして非導電性のコンデンサ3、4及び非導電性の抵抗素5を予めチップ部品として完成させておいたものを、前記貫通孔7によって形成される空間内に挿入し、また銅から成る導体ペースト6Fを各グリーンシート21G〜25Gの貫通孔7の部分や層間の所定

## 特開昭63-122295(3)

の箇所に対応した後、各グリーンシート210〜260を圧着し、そして還元雰囲気中において焼成処理すると、第1図に示した電子部品内部多層セラミック基板が得られる。尚、第3図中の31、41、51は、それぞれ、チップ形の積層コンデンサ、4及び積層抵抗の両方から成る外部取出し電極であり、52はセラミック基板の表面に付与された保護パターンである。また積層コンデンサ3、4の内部電極（図示省略）には、パラジウム電極あるいはニッケル電極を用いている。

この場合、上記グリーンシート210〜260等のグリーンシートとしては、例えば、「エレクトロニクス・セラミクス」'85 3月号 頁19〜133に開示されているような、 $Al_2O_3$ 、 $CaO$ 、 $SiO_2$ 、 $MgO$ 、 $B_2O_3$ と微量添加物から成るセラミック粉末とバインダーとを混合してドロップコート法によってシート状にされたようなものが利用できる。そのようなグリーンシートは、例えば積層抵抗等の還元雰囲気中で焼成しても特性劣化が無く、しかも例えば500〜1000℃焼成

の比較的低温で焼成することができる。

また上記コンデンサ3、4等のコンデンサとしては、例えば、①特公開58-46541号公報、②特公開57-42588号公報、③特公開57-43515号公報に開示されているようなタングステンバリウム系の非還元性積層セラミック組成物、あるいは④特公開57-27881号公報、⑤特公開57-28881号公報に開示されているようなジルコニア系アルミウムを主体とする非還元性積層セラミック組成物を用いた例えば積層タイプのセラミックコンデンサが利用される。そのようなセラミック積層コンデンサの製造の一例が上記①〜⑤の公報中に開示されている。このようなコンデンサを用いれば、グリーンシート中に収納して還元雰囲気中で焼成しても特性劣化を生じることがない。

上記抵抗器3等の抵抗器としては、例えば、特公開58-27788号公報、特公開58-28183号公報に開示されているようなワタナベウツ、イットリウムホウ素等の抵抗物質と非還元

性ガラスとから成る非還元性積層組成物を、例えばセラミック基板上に付着して還元雰囲気中で焼成した抵抗器が利用できる。このような抵抗器を用いれば、グリーンシート中に収納して還元雰囲気中で焼成しても特性劣化を生じることがない。

より具体例を示すと、厚さ200μmの $SiO_2$ 、 $Al_2O_3$ 、 $B_2O_3$ 、 $B_2O_3$ 、及びバインダーより成る積層抵抗セラミックグリーンシートに、第1図に示すように貫通孔を開け、 $B_2SiO_5$ を主成分とする非還元性積層セラミックコンデンサ及び $SiO_2$ を主成分とする非還元性抵抗器を貫通孔に挿入し、また $CaO$ 系導電ペーストをスクリーン印刷法で用液パターンに印刷した後、グリーンシートを圧着し、還元雰囲気中500℃で焼成して第1図に示すような電子部品内部多層セラミック基板を得る。そして焼成後の導電、抵抗をCRメータで測定したところ、定針値通りの値が得られた。

尚、以上においてはコンデンサ、抵抗器等にパラジウム内部電極あるいはニッケル内部電極を用

いた積層構造のチップ部品を用いた例を説明したが、この発明はそれに限定されるものではなく、例えば内部電極を持たず、図の外側取出し電極のみを用いた積層構造以外のチップ部品によって形成したような積層の電子部品内部多層セラミック基板を焼成しても良い。さらに、外部取出し電極なしのチップ部品に銅より成る導電ペーストを外部取出し電極として塗布後、セラミックグリーンシートの貫通孔に挿入しても良い。また、パラジウム内部電極あるいはニッケル内部電極、銅外部電極及び銅端子には、それぞれの特性を損なわない範囲で白金、銀、ニッケル、パラジウム等の他の金属を添加しても良い。

また、第1図等に示した電子部品内部多層セラミック基板はあくまでも一例であって、この発明がそのような構造のものに限定されないことは勿論である。

## (発明の効果)

以上のようにこの発明は、チップ形電子部品を多層セラミック基板内の空間に収納した構造であ



## 特開昭63-122295(4)

るため、次のような利点がある。①従来のように圧着・接着法にて電子部品を基板の面に貼ることはなく、設計通りの形状の電子部品を3次元的に内蔵した多層セラミック基板が得られる。②コンデンサとして、チップ型電容セラミックコンデンサを使用することができるので、大きな容量値のものも内蔵可能である。③電子部品は多層セラミック基板内に埋め込まれた空間内に収納されているため、多層基板の平面性を同等レベルに保つことができ、従って接着剤の大きな厚み差が容易に得られる。④電子部品は多層セラミック基板内に埋め込まれているため、耐湿性等の信頼性が高く、従って信頼性の高い製品が得られる。また、チップ型電子部品の外装形状や極の位置及び配線用の導線のいずれにも拘束されていないため、導線長を短くして高周波の伝達損失での会線の短縮による損失低減を施すこともない。

## 4. 図面の簡単な説明

第1図はこの発明の一例の一例の電子部品内蔵多層セラミック基板を示す断面図であり、

第2図はその等価回路図である。第3図は、第1図の電子部品内蔵多層セラミック基板の組み立ての状況を示す断面図である。

2... 多層セラミック基板、21~26...セラミック層、21G~26G... グリーンシート、3... コンデンサ、4... 抵抗器、5... 導体、7... 貫通孔。

代理人 弁護士 山本隆二

